

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05037349 A**(43) Date of publication of application: **12 . 02 . 93**

(51) Int. Cl.

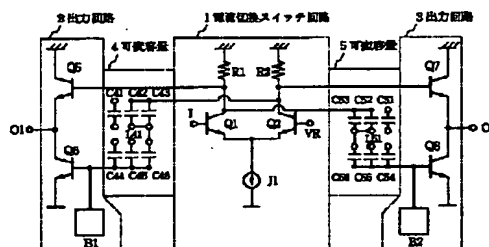
**H03K 19/086**(21) Application number: **03188503**(71) Applicant: **NEC CORP**(22) Date of filing: **29 . 07 . 91**(72) Inventor: **IRIKITA SHIGEYOSHI**(54) **ECL LOGIC CIRCUIT**

## (57) Abstract:

**PURPOSE:** To shorten the delay time, and to reduce the skew shift of a timing by making the circuit adjustable to become an optimal value, in the case it is used for a custom LSI of a gate array, etc., and balancing waveforms of a rise and a fall of an output waveform.

**CONSTITUTION:** The circuit is provided with variable capacities 4, 5 consisting of plural capacity elements C41-C46, C51-C56, and wirings B41, B51 being capacity varying means for varying a capacity value by switching or combining the them.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-37349

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 19/086

識別記号

庁内整理番号

8941-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-188503

(22)出願日 平成3年(1991)7月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 入来 重好

東京都港区芝五丁目7番1号日本電気株式会社内

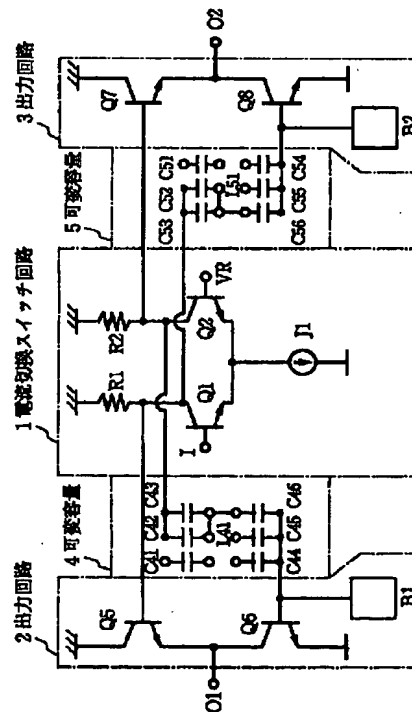
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 ECL論理回路

(57)【要約】

【構成】複数の容量素子C41~C46, C51~C56と、これを切換えあるいは組合せて容量値を可変する容量可変手段である配線B41, B51とからなる可変容量4, 5を備える。

【効果】ゲートアレイ等のカスタムLSIで使用する場合において、最適値となるよう調整できるので、出力波形の立上りと立下りの波形のバランスをとることにより遅延時間を短縮できる。タイミングのスキューずれを低減することができる。



## 1

## 【特許請求の範囲】

【請求項1】 エミッタが共通接続されそれぞれコレクタに負荷抵抗を有する第一および第二のトランジスタからなる電流切換スイッチ回路と、前記第一のトランジスタのコレクタの出力をベースに入力しエミッタから出力する第三のトランジスタからなるエミッタフォロアと、前記エミッタフォロアの能動負荷として第三のトランジスタのエミッタにコレクタが接続された第四のトランジスタと、前記第四のトランジスタのベースに前記第二のトランジスタのコレクタの出力を結合する容量とを備えたECL論理回路において、前記容量はそれぞれ予め定めた容量値の第一、第二の容量素子と、前記第一、第二の容量素子を切換えあるいは組合せて容量値を可変する容量可変手段とを備えることを特徴とするECL論理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はECL論理回路に関し、特にゲートアレイ等のカスタム集積回路用として好適なECL論理回路に関する。

## 【0002】

【従来の技術】 従来のECL (Emitter-Coupled Logic) 論理回路は、図2に示すように、入力Iと基準電圧VRとがそれぞれ入力されエミッタを共通接続したトランジスタQ1、Q2と負荷抵抗R1、R2と定電流源J1とからなる電流切換スイッチ回路1と、トランジスタQ3とエミッタの抵抗R3とからなるエミッタフォロア型の出力回路6と、トランジスタQ4とエミッタの抵抗R4とからなるエミッタフォロア型の出力回路7とを備えて構成されていた。

【0003】 次に、従来のCML論理回路の動作について説明する。

【0004】 近年のLSIにおける高集積度化の動向に伴って、この種のECL論理回路も低消費電力化が要求されてきている。また、半導体チップの大型化により、入出力回路に接続される配線長も長くなり、したがって、配線容量が増大する傾向にある。これらの要因により、ECL論理回路は駆動能力の増大を要求されるようになってきている。

【0005】 この従来のECL論理回路は、出力回路6、7の出力O1、O2において、出力波形の立上りに比較して立下りが緩やかになるという傾向があった。この理由は、エミッタフォロア型の出力回路6、7の出力O1、O2に接続された配線容量等の負荷容量に蓄積された電荷を放電する時間が、低消費電力化による駆動能力の低下と、高負荷容量のために長くなってきていることによる。この結果、出力波形における立上り時間と立下り時間とのアンバランスを発生し、両者の平均で表す遅延時間を増大させるということになる。

## 2

【0006】 以上の問題点を解決する従来のECL論理回路の第二の例として、図3に示すような回路が提案されている。

【0007】 図3において、図2に示す回路との相違点は、エミッタフォロア型の出力回路6、7の代りに、トランジスタQ5、Q6を縦続接続した能動負荷回路を有する出力回路2と、トランジスタQ7、Q8とからなる同様の出力回路3とを備えている。

【0008】 出力回路2のトランジスタQ6のベースには、バイアス電源B1と電流切換スイッチ回路1のトランジスタQ2のコレクタが容量C1を介して接続されている。また、出力回路3のトランジスタQ8のベースには、バイアス電源B2と電流切換スイッチ回路1のトランジスタQ1のコレクタが容量C2を介して接続されている。すなわち、出力回路2のエミッタフォロアのトランジスタQ5のベース入力と逆極性の入力がトランジスタQ5の能動負荷であるトランジスタQ6のベースに容量C1を介して結合されている。出力回路3についても同様である。

【0009】 この結果、出力回路2、3のエミッタフォロアのトランジスタQ5、Q7のベースに、立下り信号が印加されると同時に、能動負荷トランジスタQ6、Q8のベースに逆相出力の立上り信号が容量C1、C2をそれぞれ介して印加される。したがって、トランジスタQ5、Q7は過度的に大きなエミッタ電流を流すので、これにより負荷容量に蓄積された電荷を強制的に放電し、立下り時間を短縮しようというものである。すなわち、容量C1、C2はスピードアップ用として機能することになる。

【0010】 ここで、出力回路2、3の出力波形は、エミッタフォロアのトランジスタQ5、Q7の負荷容量と、電流切換スイッチ回路1との結合用の容量C1、C2とに依存する。すなわち、立下り動作においては負荷容量に蓄積した電荷を強制的に放電するよう十分な電流を供給できる結合容量C1、C2を確保する必要がある。一方、この容量C1、C2が過大であると、これを駆動する電流切換スイッチ回路1のトランジスタQ1、Q2のコレクタ出力に対する負荷が重くなり、これらの出力の立上り時間および立下り時間が増大してしまう。このように、容量C1、C2には、最適値が存在する。

【0011】 クロックの分配のように、チップ間において、タイミングのスキューずれが許されないような用途にこの回路を用いるような場合には、通常、クロック分配用の配線は、全てのチップに対しても等長となるように配線し、負荷容量をできるだけ均一としてタイミングのスキューずれを最小にするよう配慮していた。

【0012】 しかし、ゲートアレイのようなカスタムLSIにおいては、ユーザの要求による機能ブロックの配置が優先されるので、このようなクロック分配配線を等長とすることは困難であり、したがって、タイミングの

## 3

スキューずれが増大する要因となっていた。また、製造プロセス上のばらつき等により、異なるチップにおける結合容量C1、C2の容量値が異なることも、同様に、タイミングのスキューずれが増大する要因となっていた。

## 【0013】

【発明が解決しようとする課題】上述した従来のECL論理回路は、スピードアップ用の結合容量の容量値が固定であるため、ゲートアレイのようなカスタムLSIで使用する場合には、負荷に対応する最適値となるとは限らないので、出力波形の立上りと立下りの波形がアンバランスとなることにより遅延時間を増大させたり、タイミングのスキューずれを増大させたりするという欠点を有していた。

## 【0014】

【課題を解決するための手段】本発明のECL論理回路は、エミッタが共通接続されそれぞれコレクタに負荷抵抗を有する第一および第二のトランジスタからなる電流切換スイッチ回路と、前記第一のトランジスタのコレクタの出力をベースに入力しエミッタから出力する第三のトランジスタからなるエミッタフォロアと、前記エミッタフォロアの能動負荷として第三のトランジスタのエミッタにコレクタが接続された第四のトランジスタと、前記第四のトランジスタのベースに前記第二のトランジスタのコレクタの出力を結合する容量とを備えたECL論理回路において、前記容量はそれぞれ予め定めた容量値の第一、第二の容量素子と、前記第一、第二の容量素子を切換えあるいは組合せて容量値を可変する容量可変手段とを備えて構成されている。

## 【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0016】図1は本発明のECL論理回路の一実施例を示すブロック図である。

【0017】本実施例のECL論理回路は、図1に示すように、入力Iと基準電圧VRとがそれぞれ入力されエミッタを共通接続したトランジスタQ1、Q2と負荷抵抗R1、R2と定電流源J1とからなる電流切換スイッチ回路1と、トランジスタQ5、Q6を縦続接続した能動負荷回路を有する出力回路2と、トランジスタQ7、Q8とからなる同様の出力回路3とを備えて構成されている。

【0018】出力回路2のトランジスタQ6のベースには、バイアス電源B1と電流切換スイッチ回路1のトランジスタQ2のコレクタが従来例のC1に代つて可変容量4を介して接続されている。また、出力回路3のトランジスタQ8のベースには、バイアス電源B2と電流切換スイッチ回路1のトランジスタQ1のコレクタが従来例のC2に代つて可変容量5を介して接続されている。

## 4

【0019】可変容量4、5は、それぞれ、容量値が異なる複数の容量素子C41~C46、C51~C56と、容量素子の切換えあるいは組合せにより、容量値を可変するための配線L41、L51とを有している。

【0020】次に、本実施例の動作について説明する。

【0021】可変容量4、5の調整は次のようにして行なう。まず、ゲートアレイの設計段階で計算等により可変容量4、5のそれぞれの所望の容量値を求める。次に、配線工程で、所望の容量値が得られるように、配線BL1、L42により、容量素子を接続する。本実施例では、可変容量4において、容量素子C42、C43を並列に接続し、さらに、C46を直列に接続して所望の容量値を得る例を示す。また、可変容量5において、容量素子C52、C43を並列に接続し、さらに、C56を直列に接続して所望の容量値を得る例を示す。

【0022】以上、本発明の実施例を説明したが、本発明は上記実施例に限られることなく種々の変形が可能である。

【0023】たとえば、容量値可変手段を配線に加えてヒューズを備えることにより、製造後の特性試験結果に対応して最適容量値に調整することも、本発明の主旨を逸脱しない限り適用できることは勿論である。

## 【0024】

【発明の効果】以上説明したように、本発明のECL論理回路は、複数の容量素子とこれを切換えあるいは組合せて容量値を可変する容量可変手段とからなる容量を備えることにより、ゲートアレイ等のカスタムLSIで使用する場合において、最適値となるよう調整できるので、出力波形の立上りと立下りの波形のバランスをとることにより遅延時間を短縮でき、また、タイミングのスキューずれを低減することができるという効果を有している。

## 【図面の簡単な説明】

【図1】本発明のECL論理回路の一実施例を示す回路図である。

【図2】従来のECL論理回路の第一の例を示す回路図である。

【図3】従来のECL論理回路の第二の例を示す回路図である。

## 【符号の説明】

1 電流切換スイッチ回路

2, 3, 6, 7 出力回路

4, 5 可変容量

B1, B2 バイアス電源

C1, C2, C41~C46, C51~C56 容量

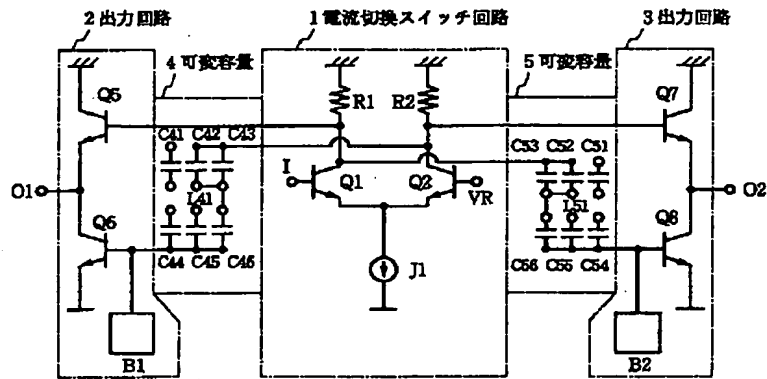
J1 定電流源

L41, L51 配線

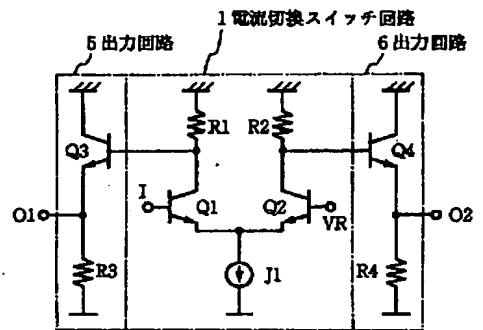
Q1~Q8 トランジスタ

R1~R4 抵抗

【図1】



【図2】



【図3】

